

ゲーム機における「製品に関するビット数広告」表示と「CPU ビット数」表示との差異

セガのセガサターン(1994 年 11 月)は 64 ビット級ゲーム機と、またセガのドリームキャスト(1998 年 11 月)⁽¹⁾およびソニーのプレイステーション 2(2000 年 3 月)が 128 ビットゲーム機とされる場合があるが、「CPU が 1 度に処理できる情報量」という視点から見た場合にはそれらは 128 ビット CPU を使用したゲーム機とは言えない。

セガのセガサターンが 64 ビット級ゲーム機とされる場合があるのは、日立の SH-2 という 32 ビット CPU を 2 個搭載しているので 32 ビット×2=64 ビットと考えられる、という発想からである。またセガのドリームキャスト 128 ビットゲーム機とされる場合があるのは、日立の SH-4 という 32 ビット CPU CPU に内蔵されているグラフィックスエンジンが一度に 32 ビット演算を 4 つ同時に実行できるので 32 ビット×4=128 ビットと考えられる、という発想からである。

PS2 が 128 ビットゲーム機とされる場合があるのは、PS2 の CPU「Emotion Engine」が 128 ビット長の汎用レジスタ⁽²⁾を備えており、128 ビット・データのロード/ストアと、128 ビット・レジスタを使う演算を並列実行できるからである。「Emotion Engine」の CPU コアは 64 ビット CPU の MIPSIII アーキテクチャを基に開発されたものであるけれども、128 ビット長の汎用レジスタを扱う SIMD(single instruction stream-multiple data stream)型の 107 個の独自命令が追加されているなど独自の性能向上が図られた CPU である。

Emotion Engine は確かにが、図1に示されているように、内部的には 2 個の 64 ビット ALU から構成されている。したがって本来の意味では 128 ビット CPU ではなく、64 ビット CPU である。これはインテル社の 64 ビット CPU コアを 2 個搭載したインテル社の Core2 Duo を 128 ビット CPU とは呼ばないし、64 ビット CPU コアを 4 個搭載したインテル社の Core Quad を 256 ビット CPU とは呼ばないのと同じである。

実際、128 ビット長のレジスタは、32 ビット・データを同時に 4 個、16 ビット・データを同時に 8 個、8 ビット・データを同時に 16 個だけ並列処理するような使用法も想定されている。このことは浮動小数点レジスタが 32 ビット×33 本であることにも示されている。



発売日:1994年11月22日 価格:44,800円

これまでのゲーム機から一歩進んだ
32ビットマルチメディアマシン。



32ビット RISC CPU「SH2」を 2 個搭載し、ポリゴンによる 3DCG ゲームや高解像度の 2D ゲームなどが登場。マルチメディア機能も強化され、日本ビクターからは「Vサターン」、日立からは「ハイサターン」、アーケードではセガサターンの互換性を持つ業務用基板「ST-V」が登場した。



ドリームキャスト本体仕様

CPU	SH4: 128bit グラフィックス・エンジン内蔵 RISC CPU (動作周波数 200MHz 360MIPS / 1.4GFLOPS)
GPU	PowerVR1 DC(CG 描画性能:300 万ポリゴン/sec. 以上)
OS	Microsoft(R) Windows(R) CE カスタムバージョン

[出典]セガ「ドリームキャスト | ハード・周辺機器情報」

<http://sega.jp/dc/hard/dc/>

[出典]セガ「セガハード大百科 セガサターン」

<http://sega.jp/archive/segahard/ss/>

(1) セガ自身もセガ(1999)『第 41 期事業報告書』p.3 において「128 ビット家庭用テレビゲーム機「ドリームキャスト」の国内販売を開始いたしました」と記載したり、<http://web.archive.org/web/20010306142759/www.sega.co.jp/dreamcast/hardware/spec.html> において「SH4:128bit グラフィックス・エンジン内蔵 RISC CPU」と記載したりして、ドリームキャストが 128 ビット機であることを強調している。

(2) これら 128 ビット長の汎用レジスタは、元々の MIPSIII アーキテクチャの 64 ビットの汎用レジスタ×32 本を拡張したものである。以下、Emotion Engine に関する技術的スベックは特に断らない限り、照山竜生; 国松敦; 井出進博; 田湖治之; 鈴置雅一(1999)「6. 2GFLOPS のマイクロプロセッサを開発」『日経エレクトロニクス』1999 年 10 月 04 日号, pp.138-145 の記述に基づくものである。

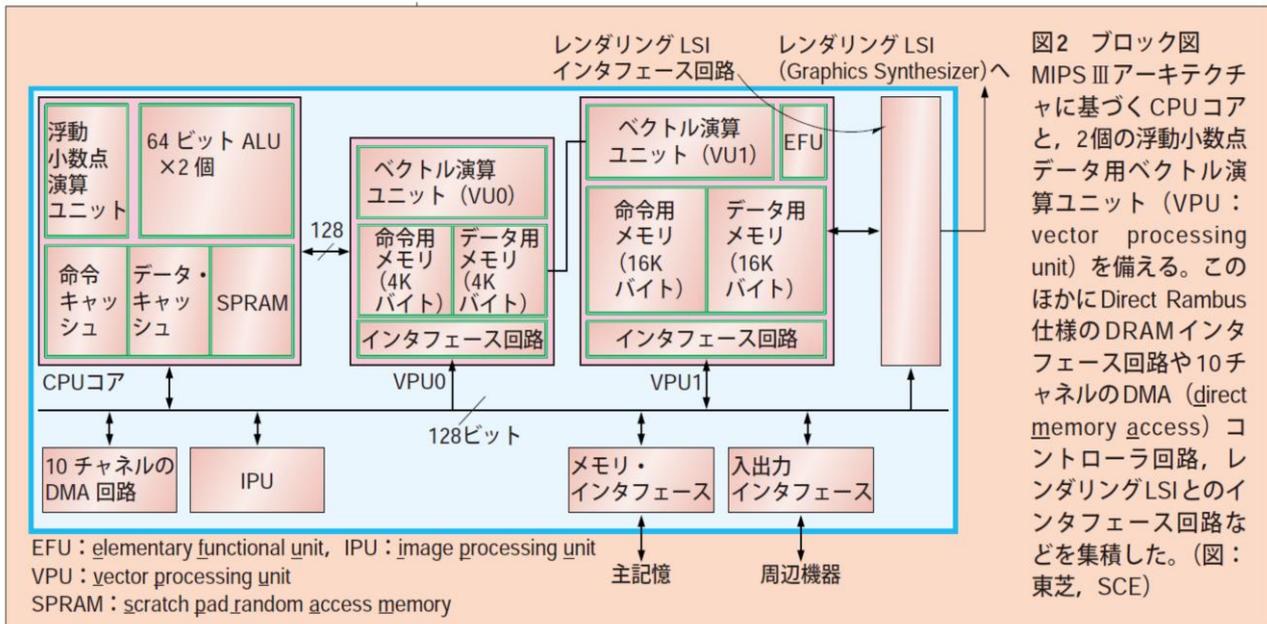


図1 Emotion Engine の内部構成図 [図の出典] 照山竜生ほか(1999),p.140

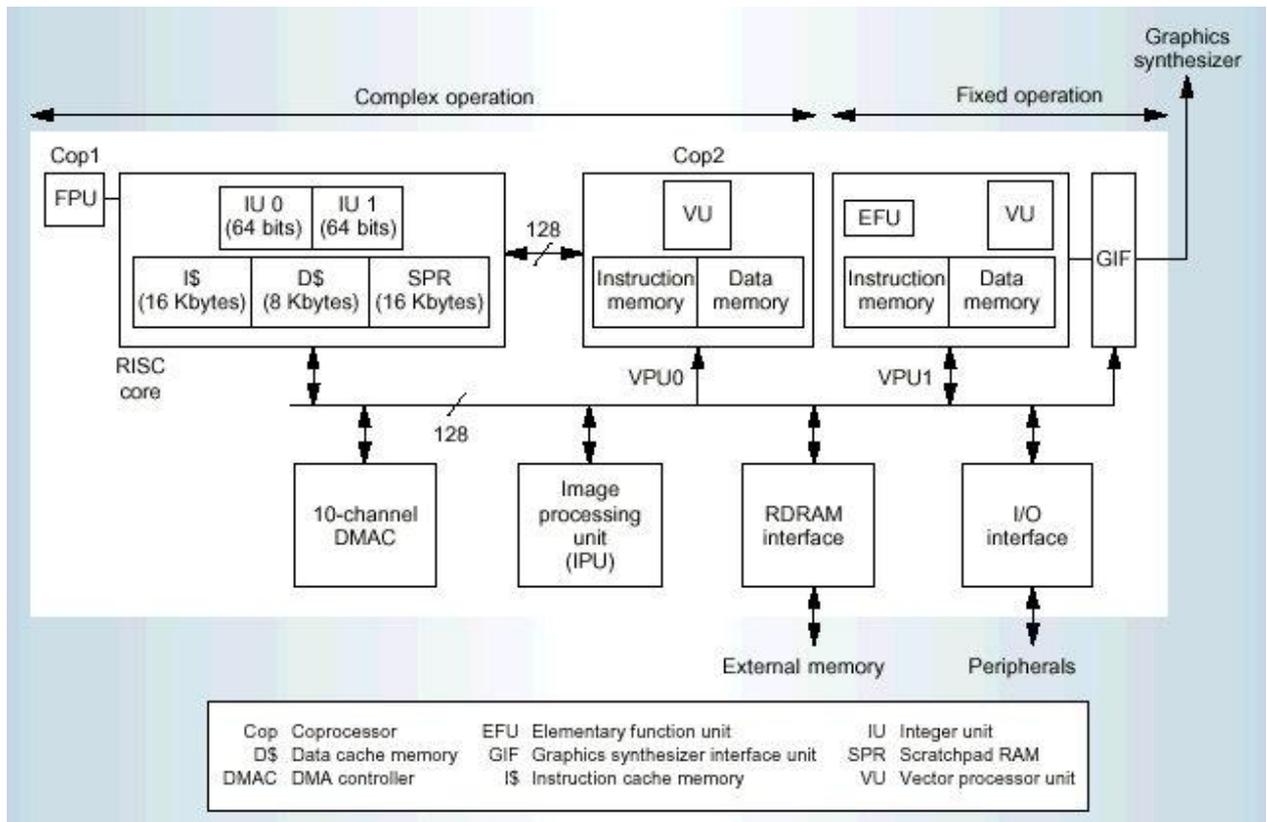


図2 PlayStation2 の CPU、EE のブロック・ダイアグラム

[出典] 西川善司(2005)「Cell プロセッサと PS2 の CPU「Emotion Engine」との大きな違いとは? —ISSCC のセッションから読み解く Cell プロセッサの詳細」ASCII.jp, 2005 年 02 月 09 日 21 時 25 分更新。

<http://ascii24.ascii.jp/2005/02/09/imageview/images765350.jpg.html>

上図の左上部の Cop1 の部分の IU0 と IU1 がメインの RISC CPU コアである。

上図の右上部の Cop2 の部分にある2つの VU が、浮動小数点データ用ベクトル演算ユニットの RISC プロセッサである。メインコアと別に、こうした演算ユニットを CPU 内に搭載している点で、PS2 の CPU「Emotion Engine」と PS3 の CPU「Cell」の設計思想・実装構造には類似点がある。